

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное
образовательное учреждение высшего образования
«ЮЖНЫЙ ФЕДЕРАЛЬНЫЙ УНИВЕРСИТЕТ»

Инженерно-технологическая академия

А. О. ПЬЯВЧЕНКО
В. Н. ПУХОВСКИЙ
К. Н. АЛЕКСЕЕВ

**РАЗРАБОТКА И ФУНКЦИОНАЛЬНАЯ
ВЕРИФИКАЦИЯ ЦИФРОВЫХ УСТРОЙСТВ
СОПРЯЖЕНИЯ С КАНАЛАМИ
ВВОДА/ВЫВОДА**

*Учебное пособие
в двух частях*

Часть 1

Ростов-на-Дону – Таганрог
Издательство Южного федерального университета
2023

УДК 004.35.031.4(075.8)+004.386(075.8)

ББК 32.973–04я73

П967

*Печатается по решению кафедры вычислительной техники
Института компьютерных технологий и информационной безопасности
Южного федерального университета (протокол № 10 от 10 мая 2023 г.)*

Рецензенты:

заместитель директора по информатизации, кандидат технических наук, доцент
кафедры встраиваемых и радиоприемных систем Института радиотехнических
систем и управления ЮФУ *А. В. Максимов*

кандидат технических наук, доцент кафедры технического сервиса и информационных
технологий Политехнического института (филиала) Донского государственного
технического университета в г. Таганроге *А. В. Шестаков*

Пьявченко, А. О.

П967 Разработка и функциональная верификация цифровых устройств сопряжения
с каналами ввода/вывода : учебное пособие : в 2 ч. / А. О. Пьявченко, В. Н. Пухов-
ский, К. Н. Алексеев ; Южный федеральный университет. – Ростов-на-Дону ; Та-
ганрог : Издательство Южного федерального университета, 2023.

ISBN 978-5-9275-4585-8

Часть 1. – 258 с.

ISBN 978-5-9275-4587-2 (Ч. 1)

Учебное пособие предназначено для приобретения базовых знаний в области функцио-
нальной организации типовых компьютерных интерфейсов, основ проектирования и цифро-
вого моделирования средств сопряжения с ними.

Первая часть пособия состоит из трех тематических разделов и посвящена изучению
вопросов функциональной системотехнической и типовой схемотехнической организации с
применением ПЛИС-технологий адаптеров (цифровых устройств сопряжения) внешних
устройств, подключаемых к системному каналу ввода/вывода на примере ISA-шины (или ее
аналогов), вопросам функционально-временной верификации устройств сопряжения с пра-
вами исполнителя с возможностью формирования запроса прерывания, в том числе на при-
мере разработки адаптера UART-интерфейса с применением UART 16750 IP OpenCore в ба-
зисе FPGA семейства Cyclone II+. Каждая тема завершается списком вопросов для само-
контроля. Имеются практические задания по разработке и моделированию адаптеров сопря-
жения цифровых параллельных и последовательных периферийных интерфейсов с систем-
ным каналом ввода/вывода. Рассматриваются примеры реализации заданий на функциональ-
ном схемотехническом уровне с применением средств HDL-проектирования, включая САПР
Quartus II WE v9.1 SP2 и выше.

Учебное пособие предназначено для студентов ИКТИБ ИТА ЮФУ специальности
09.05.01 «Применение и эксплуатация автоматизированных систем специального назначе-
ния», направления 09.03.01 «Информатика и вычислительная техника», изучающих соответ-
ствующие разделы таких дисциплин, как «Аналоговые и цифровые интерфейсы передачи дан-
ных», «Проектирование технического обеспечения автоматизированных систем», «Микро-
контроллерные системы», «Цифровые интерфейсы вычислительной техники» и ряд других.

УДК 004.35.031.4(075.8)+004.386(075.8)

ISBN 978-5-9275-4587-2 (Ч.1)

ISBN 978-5-9275-4585-8

ББК 32.973–04я73

© Южный федеральный университет, 2023

© Пьявченко А. О., Пуховский В. Н.,
Алексеев К. Н. 2023

© Оформление. Макет. Издательство
Южного федерального университета, 2023

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	5
1. ОСНОВЫ ПОСТРОЕНИЯ ВНУТРИПЛАТНОГО ОДНОПОЛЬЗОВАТЕЛЬСКОГО КАНАЛА ВВОДА/ВЫВОДА	8
1.1. Общие сведения	8
1.2. Обзор спецификации сигналов шины	12
1.3. Адресное пространство памяти и особенности обращения к ней с использованием ISA-шины	22
1.4. Адресное пространство устройств ввода/вывода	25
1.5. Циклы шины ISA	27
1.5.1. Общие сведения	27
1.5.2. Цикл доступа ведущего устройства к ресурсу	28
1.5.3. Циклы ПДП	37
1.5.4. Цикл регенерации памяти на ISA	41
1.5.5. Цикл захвата шины со стороны ВУ с правами Master	43
Контрольные вопросы к разделу 1	44
2. РАЗРАБОТКА И МОДЕЛИРОВАНИЕ УСТРОЙСТВА СОПРЯЖЕНИЯ С ПРАВАМИ «ИСПОЛНИТЕЛЬ»	47
2.1. Типовая структура устройства сопряжения	47
2.2. Вопросы построения селектора адреса	48
2.3. Выработка внутренних стробирующих сигналов при доступе к ячейкам из состава УС УВВ	67
2.4. Вопросы согласования скорости работы ЦП и устройства со- пряжения при обмене данными	78
2.5. Схемы выработки сигналов аппаратных прерываний IRQ	84
2.6. Вопросы электрического согласования УС с каналом ввода/вы- вода	93
2.7. Требования к временным задержкам основных компонентов схемы	98
2.8. Пример разработки УС с шиной ISA на функциональном уровне	101
2.8.1. Упрощенная структура внешнего вычислительного модуля	101
2.8.2. Разработка спецификации на УС	104
2.8.3. Структура проектируемого устройства сопряжения	108

2.8.4. Разработка функциональной схемы ВМ и ее HDL-реализации	112
2.9. Лабораторно-практические задания	155
2.10. Требования к отчетным материалам (базовые требования)	161
Контрольные вопросы к разделу 2	162
3. РАЗРАБОТКА И МОДЕЛИРОВАНИЕ АДАПТЕРА ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА	165
3.1. Интерфейс UART. Обзор протокола	165
3.1.1. Общие сведения	165
3.1.2. Основная схема подключения источника и приемника данных	171
3.1.3. Вопросы применения интерфейса UART	175
3.1.4. Микросхемы – драйверы интерфейса	182
3.2. Контроллер интерфейса: структура, программирование и вопросы моделирования	189
3.3. Упрощенная структура модуля сопряжения HDL-контроллера UART с системной шиной ISA	195
3.4. Тестирование работоспособности интерфейса UART	198
3.5. Тестирование интерфейса UART в дуплексном режиме	204
3.6. Пример заданий для закрепления материала и рекомендации по их выполнению	210
Контрольные вопросы к разделу 3	215
ЗАКЛЮЧЕНИЕ	217
СПИСОК ЛИТЕРАТУРЫ	219
ПРИЛОЖЕНИЯ	223
Приложение А	223
Приложение Б	226
Приложение В	232
Приложение Г	247